

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204569
(43)Date of publication of application : 09.08.1996

(51)Int.CI.

H03M 5/06
G11B 20/14
H04L 25/49

(21)Application number : 07-010230
(22)Date of filing : 25.01.1995

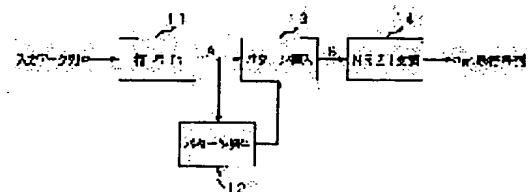
(71)Applicant : SONY CORP
(72)Inventor : NAKAGAWA TOSHIYUKI

(54) MODULATION METHOD, MODULATOR, AND DEMODULATOR

(57)Abstract:

PURPOSE: To provide a modulation method, modulator, and demodulator which reduce the peak value of DSV in comparison with that in a conventional device at the time of DSV control of the code where DSV control is not taken into consideration.

CONSTITUTION: An encoding circuit 11 converts an input data string to a code string A. A pattern generation circuit 12 generates an inverted pattern when accumulated DSV in a position P is positive and the positive peak value of DSV in a section PQ, is larger than the negative peak value or this accumulated DSV is negative and the negative peak value is larger than the positive peak value, but the circuit 12 generates a non-inverted pattern when accumulated DSV in the position is negative and the positive peak value of DSV in the section PQ is not larger than the negative peak value or accumulated DSV is positive and the negative peak value is not larger than the positive peak value. A pattern inserting circuit 13 inserts the pattern from the pattern generation circuit 12 to the code string A at prescribed intervals to generate a code string B. A modulation circuit 14 subjects the code string B to NRZI modulation and outputs the result.



LEGAL STATUS

[Date of request for examination] 15.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3239663

[Date of registration] 12.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-204569

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.*

H 03 M 5/06

G 11 B 20/14

H 04 L 25/49

識別記号

序内整理番号

F I

技術表示箇所

9382-5K

341 A 9463-5D

A 9199-5K

審査請求 未請求 請求項の数7 OL (全12頁)

(21)出願番号

特願平7-10230

(22)出願日

平成7年(1995)1月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中川 俊之

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

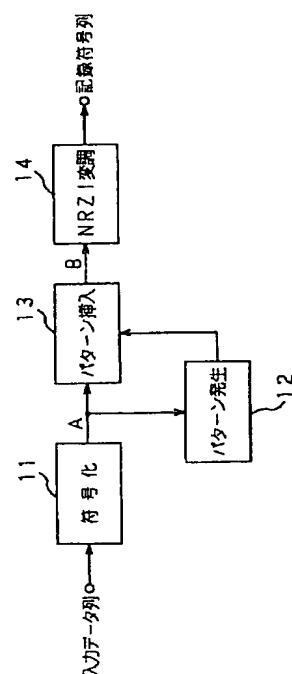
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 変調方法、変調装置及び復調装置

(57)【要約】

【目的】 本発明は、D S V制御が考慮されていない符号に対してD S V制御を行う際に、従来の装置に比してD S Vのピーク値を小さくすることができる変調方法、変調装置及び復調装置を提供することを目的とする。

【構成】 符号化回路11は、入力データ列を符号列Aに変換する。パターン発生回路12は、位置Pにおける累積D S Vが正であって、区間P QのD S Vの正のピーク値が負のピーク値よりも大きいときは反転パターンを、逆のときは非反転パターンを発生し、累積D S Vが負であって、負のピーク値が正のピーク値よりも大きいときは反転パターンを、逆のときは非反転パターンを発生する。パターン挿入回路13は、符号列Aにパターン発生回路12からのパターンを所定間隔で挿入し、符号列Bを生成する。変調回路14は、符号列BをN R Z I変調して出力する。



【特許請求の範囲】

【請求項1】 符号列に所定の長さのパターンを所定間隔で挿入し、パターンが挿入された符号列をNRZI変調して、DSV制御された変調符号を出力する変調方法において、

今回挿入するパターン以前の符号列のDSVが正であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入し、

今回挿入するパターン以前の符号列のDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入することを特徴とする変調方法。

【請求項2】 前記符号を(d, k)符号とし、前記挿入するパターンの所定の長さを2(d+1)ビットとしたことを特徴とする請求項1に記載の変調方法。

【請求項3】 前記「1」の数が奇数のパターンを、「1」の数が1個のパターンとし、前記「1」の数が偶数のパターンを、「1」の数が0個又は2個のパターンとし、

今回挿入するパターン以前の符号列のDSVと、今回挿入するパターンと次に挿入するパターン間の符号列のDSVとを加算し、該加算値の絶対値が小さくなるように上記パターンのうちの1つを選択して挿入することを特徴とする請求項2に記載の変調方法。

【請求項4】 符号列に所定の長さのパターンを所定間隔で挿入し、パターンが挿入された符号列をNRZI変調して、DSV制御された変調符号を出力する変調装置において、

今回挿入するパターン以前の符号列のDSVが正であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは「1」の数が奇数のパターンを発生し、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンを発生すると共に、今回挿入するパターン以前の符号列のDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンを発生し、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンを発生するパターン発生手段と、

該パターン発生手段で周期的に発生された所定の長さのパターンを符号列に挿入するパターン挿入手段と、該パターン挿入手段からのパターンが挿入された符号列をNRZI変調する変調手段とを備えることを特徴とす

る変調装置。

【請求項5】 前記符号を(d, k)符号とし、前記パターン発生手段は、所定の長さが2(d+1)ビットからなるパターンを発生することを特徴とする請求項4に記載の変調装置。

【請求項6】 前記パターン発生手段は、「1」の数が奇数のパターンを「1」の数が1個のパターンとし、「1」の数が偶数のパターンを「1」の数が0個又は2個のパターンとすると共に、今回挿入するパターン以前の符号列のDSVと、今回挿入するパターンと次に挿入するパターン間の符号列のDSVとを加算し、該加算値の絶対値が小さくなるような上記パターンのうちの1つを選択して発生することを特徴とする請求項5に記載の変調装置。

【請求項7】 符号列に所定の長さのパターンが所定間隔で挿入された後に、NRZI変調されることによってDSV制御された変調符号であって、今回挿入されるパターン以前の符号列のDSVが正であって、今回挿入されるパターンと次に挿入されるパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは「1」の数が奇数のパターンが挿入され、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンが挿入されると共に、今回挿入されるパターン以前のDSVが負であって、今回挿入されるパターンと次に挿入されるパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンが挿入され、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンが挿入された変調符号が供給され、該変調符号をNRZI復調して、パターンが挿入された符号列を再生する復調手段と、

該復調手段からのパターンが挿入された符号列からパターンを除去して、元の符号列を再生するパターン除去手段とを備えることを特徴とする復調装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、変調方法、変調装置及び復調装置に関し、特にデータを伝送したり、データを記録媒体に記録する際に、伝送や記録に適合した変調を施した変調符号のDSVを向上させるものである。

【0002】

【従来の技術】データを伝送したり、データを例えば磁気テープ、磁気ディスク、光ディスク等の記録媒体に記録する際に、データに伝送(記録)に適した符号化処理、変調処理を施し、得られる変調符号を伝送するようになっている。ところで、データの再生時において、例えは受信信号を2値化(デジタル化)する際の基準レベルのふらつきに起因したエラーが発生しないようにするためには、あるいは例えればディスク装置の所謂サーボ制御におけるトラッキングエラー信号等の各種のエラー

信号に変動が生じないようにするためにには、変調符号に直流成分がなるべく含まれないほうが良い。

【0003】データのシンボル「1」、「0」をそれぞれ+1、-1とし、変調符号列の最初からのシンボルの総和である所謂DSV(Digital Sum Value)は、上述の直流成分の評価の目安であり、DSVの絶対値が小さいということは、直流成分又は低域成分が少ないことを表している。

【0004】したがって、ディジタル・オーディオ・テープレコーダ(DAT)で採用されている8-10変換、コンバクト・ディスク(CD)・プレーヤで採用されているEFM(Eight to Fourteen Modulation)、磁気ディスク装置で採用されているMiller²(Miller square)等の変調では、例えば所謂マーク間(mark position)変調であるNRZ(Non Return to Zero)やマーク長(mark length)変調であるNRZI(Non Return to Zero Inverted)を施した後のDSVの絶対値を小さくするDSV制御が行われている。

【0005】一方、例えば符号列をNRZ変調やNRZI変調して得られる波形列の所謂最小反転間隔をT_{min}とし、最大反転間隔をT_{max}としたときの最大反転間隔T_{max}が有限である所謂RLL(Run Length Limited)符号では、一般的にはDSV制御は考慮されておらず、そのままでは、上述のような直流成分に起因したエラーが発生する等の虞れがある。

【0006】そこで、本願出願人は、特開平-1970-24号公報にて、DSV制御が行われていないRLL符号列に対して、所定の長さを有するパターンを所定間隔で挿入して、DSV制御を行う技術を開示している。

【0007】このDSV制御方式は、今回挿入するパターン以前までのRLL符号列のDSV(以下、累積DSVという。)と、今回挿入するパターンとその次に挿入するパターン間のRLL符号列のDSV(以下、区間のDSVという。)とを加算し、この加算値の絶対値が小さくなるように、挿入する「1」の数が奇数のパターン(以下、反転パターンという。)あるいは「1」の数が偶数のパターン(以下、非反転パターンという。)を決定ものである。すなわち、このDSV制御方式では、反転・非反転の決定は、任意の区間の最初と最後で行われるようになっている。

【0008】具体的には、例えば図8Aに示すように、位置Pにおける累積DSVが+2であり、区間PQのDSVが-2のときは、位置Pに非反転パターンを挿入する。この結果、位置Qにおける累積DSVは、破線で示すように0となる。また、例えば図8Bに示すように、位置Pにおける累積DSVが+2であり、区間PQのDSVが+2のときは、位置Pに反転パターンを挿入する。この結果、位置Qにおける累積DSVは、破線で示すように0となる。また、例えば図8Cに示すように、位置Pにおける累積DSVが+2であり、区間PQのDSVが+2のとき

は、位置Pに反転パターンを挿入する。この結果、位置Qにおける累積DSVは、破線で示すように0となる。

【0009】ところで、このDSV制御方式では、例えば上述の図8Cに示すように、位置Qにおける累積DSVは減少するが、位置Pから位置Qまでの区間において、反転パターンの挿入によっては、累積DSVに大きなピーク値(この例では+8)が発生することになる。

【0010】

【発明が解決しようとする課題】本発明は、上述の問題10点に鑑みてなされたものであり、DSV制御が考慮されていない符号に対してDSV制御を行う際に、従来の装置に比して、DSVのピーク値を小さくすることができると共に、冗長度の増加を必要最小限に抑えることができる変調方法、変調装置及び復号装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上述の目的を達成するために、本発明に係る変調方法は、符号列に所定の長さのパターンを所定間隔で挿入し、パターンが挿入された符号列をNRZI変調して、DSV制御された変調符号を出力する変調方法において、今回挿入するパターン以前の符号列のDSVが正であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入し、今回挿入するパターン以前の符号列のDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入することを特徴とする。

【0012】また、この変調方法は、符号を(d, k)符号とし、挿入するパターンの所定の長さを2(d+1)ビットとしたことを特徴とする。

【0013】さらに、この変調方法は、「1」の数が奇数のパターンを、「1」の数が1個のパターンとし、「1」の数が偶数のパターンを、「1」の数が0個又は2個のパターンとし、今回挿入するパターン以前の符号40列のDSVと、今回挿入するパターンと次に挿入するパターン間の符号列のDSVとを加算し、加算値の絶対値が小さくなるように上記パターンのうちの1つを選択して挿入することを特徴とする。

【0014】本発明に係る変調装置は、符号列に所定の長さのパターンを所定間隔で挿入し、パターンが挿入された符号列をNRZI変調して、DSV制御された変調符号を出力する変調装置において、今回挿入するパターン以前の符号列のDSVが正であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの正50のピーク値が負のピーク値よりも大きいときは「1」の

数が奇数のパターンを発生し、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンを発生すると共に、今回挿入するパターン以前の符号列のDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンを発生し、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンを発生するパターン発生手段と、パターン発生手段で周期的に発生された所定の長さのパターンを符号列に挿入するパターン挿入手段と、パターン挿入手段からのパターンが挿入された符号列をNRZI変調する変調手段とを備えることを特徴とする。

【0015】また、この変調装置では、符号を(d, k)符号とし、パターン発生手段は、所定の長さが2(d+1)ビットからなるパターンを発生することを特徴とする。

【0016】さらに、この変調装置では、パターン発生手段は、「1」の数が奇数のパターンを「1」の数が1個のパターンとし、「1」の数が偶数のパターンを「1」の数が0個又は2個のパターンとすると共に、今回挿入するパターン以前の符号列のDSVと、今回挿入するパターンと次に挿入するパターン間の符号列のDSVとを加算し、加算値の絶対値が小さくなるような上記パターンのうちの1つを選択して発生することを特徴とする。

【0017】本発明に係る復調装置は、符号列に所定の長さのパターンが所定間隔で挿入された後に、NRZI変調されることによってDSV制御された変調符号であって、今回挿入されるパターン以前の符号列のDSVが正であって、今回挿入されるパターンと次に挿入されるパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは「1」の数が奇数のパターンが挿入され、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンが挿入されると共に、今回挿入されるパターン以前のDSVが負であって、今回挿入されるパターンと次に挿入されるパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンが挿入され、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンが挿入された変調符号が供給され、変調符号をNRZI復調して、パターンが挿入された符号列を再生する復調手段と、復調手段からのパターンが挿入された符号列からパターンを除去して、元の符号列を再生するパターン除去手段とを備えることを特徴とする。

【0018】

【作用】本発明では、符号列に所定の長さのパターンを所定間隔で挿入する際に、今回挿入するパターン以前の符号列のDSVが正であって、今回挿入するパターンと

次に挿入するパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入し、今回挿入するパターン以前の符号列のDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入する。そして、パターンが挿入された符号列をNRZI変調して、DSV制御された変調符号を出力する。

【0019】また、本発明では、変調符号をNRZI復調して、パターンが挿入された符号列を再生し、このパターンが挿入された符号列からパターンを除去して、元の符号列を再生する。

【0020】

【実施例】以下、本発明に係る変調方法、変調装置及び復調装置の実施例について図面を参照しながら説明する。図1は、本発明を適用した変調装置の要部の回路構成を示すブロック図である。

【0021】この変調装置は、図1に示すように、入力データ列を伝送等に適した符号列に変換する符号化回路11と、所定の長さのパターンを所定間隔で発生するパターン発生回路12と、上記符号化回路11からの符号列に上記パターン発生回路12からのパターンを所定間隔で挿入するパターン挿入回路13と、該パターン挿入回路13からのパターンが挿入された符号列をNRZI(Non Return to ZeroInverted)変調して出力する変調回路14とを備える。

【0022】そして、この変調装置は、入力データ列を、例えば伝送や光磁気ディスク等の記録媒体への記録に適した符号列Aに変換し、例えば図2に示すように、この符号列Aに、所定の長さであるT_dビットからなるパターンを所定間隔T_{code}ビットで挿入し、パターンが挿入された符号列BをNRZI変調して、所謂DSV(Digital Sum Value)制御された変調符号(あるいは記録符号)を出力するようになっている。そして、この変調符号(記録符号)は、例えば伝送路を介して復調装置に伝送されたり、光磁気ディスク等に記録される。

【0023】具体的には、符号化回路11は、入力データ列を伝送(あるいは記録)に適した符号則、例えば「0」の最小ラン(run)をdとし、最大ランをkとする所謂(d, k)符号の符号則に基づいて符号列Aに変換する。すなわち、符号化回路11は、例えば(4, 18)符号である下記表1に示す(4, 18; 2, 5; 6)符号、(4, 19)符号である下記表2に示す(4, 19; 2, 5; 5)符号等のDSV制御が考慮されていない符号則により、入力データ列を符号化する。したがって、この符号化回路11からはDSV制御され

ていない符号列Aが出力される。

【0024】

*【表1】

*
表1 (1/2)

データ語	符号語
i=1 11	10000
10	01000
01	00*00
i=2 0011	00010 00000
0010	00001 00000
1011	00000 00*00
i=3 000111	00010 00010 00000
000110	00010 00001 00000
000101	00001 00001 00000
000100	00000 00010 00000
000011	00000 00001 00000
i=4 00001011	00010 00010 00010 00000
00001010	00010 00010 00001 00000
00001001	00010 00001 00001 00000
00001000	00001 00001 00001 00000
00000111	00000 00010 00010 00000
00000110	00000 00010 00001 00000
00000101	00000 00001 00001 00000
00000100	00000 00000 00100 00*00

【0025】

* *【表2】

表1 (2/2)

データ語	符号語
i=5 0000001111	01000 00000 00000 00010 00000
0000001110	01000 00000 00000 00001 00000
0000001101	00100 00000 00000 00010 00000
0000001100	00100 00000 00000 00001 00000
0000001011	00010 00010 00010 00010 00000
0000001010	00010 00010 00010 00001 00000
0000001001	00010 00010 00001 00001 00000
0000001000	00010 00001 00001 00001 00000
0000000111	00001 00001 00001 00001 00000
0000000110	00000 00010 00010 00010 00000
0000000101	00000 00010 00010 00001 00000
0000000100	00000 00010 00001 00001 00000
0000000011	00000 00001 00001 00001 00000
0000000010	00000 00000 00100 00010 00000
0000000001	00000 00000 00100 00001 00000
i=6 000000000011	00010 00010 00010 00010 00000
000000000010	00010 00010 00010 00001 00000
000000000001	00010 00010 00010 00001 00001
000000000000	00010 00010 00001 00001 00000
ASYNC	19T 17T 14bit
BSYNC	18T 19T 13bit

【0026】

【表3】

9
表2

データ語	符号語
i=1 11	10000
10	01000
01	00*00
i=2 0011	00010 00000
0010	00001 00000
1011	00000 00*00
i=3 000111	00010 00010 00000
000110	00010 00001 00000
000101	00001 00001 00000
000100	00000 00010 00000
000011	00000 00001 00000
i=4 00001011	00010 00010 00010 00000
00001010	00010 00010 00001 00000
00001001	00010 00001 00001 00000
00001000	00001 00001 00001 00000
00000111	00000 00010 00010 00000
00000110	00000 00010 00001 00000
00000101	00000 00001 00001 00000
00000100	00000 00000 00100 00*00
00000011	00000 00000 00010 000*0
i=5 0000001101	00010 00010 00010 00010 00000
0000001010	00010 00010 00010 00001 00000
0000001001	00010 00010 00001 00001 00000
0000001000	00010 00001 00001 00001 00000
0000000111	00001 00001 00001 00001 00000
0000000110	00000 00010 00010 00010 00000
0000000101	00000 00010 00001 00001 00000
0000000100	00000 00001 00001 00001 00000
0000000011	00000 00001 00001 00001 00000
0000000010	00000 00000 00100 00010 00000
0000000001	00000 00000 00100 00001 00000
0000000000	00000 00000 00010 00001 00000
ASync	20T 19T 11bit
BSync	19T 18T 13bit

【0027】パターン発生回路12は、符号化回路11から供給される符号列Aに基づいて、 T_{dc} ビットからなるパターンを所定間隔 T_{cyc} ビットで発生する。そして、パターン挿入回路13は、符号化回路11から供給される符号列Aにパターン発生回路12から供給される T_{dc} ビットからなるパターンを所定間隔 T_{cyc} ビットで*

$$T_{dc} = (d - S_1) + 1 + d + 1 + (d - (d - S_1)) \\ = 2(d + 1) \quad \cdots \text{式1}$$

$$T_{dc} = (d - S_1) + 1 + (d - (d - S_1)) \\ = d + 1 \quad \cdots \text{式2}$$

ここで、 S_1 は、挿入されるパターン以前の連続する「0」の数であり、 $0 \leq S_1 \leq k$ の条件を満足する。したがって、パターン発生回路12は、符号化回路11において (d, k) 符号が採用されているときは、 $2(d + 1)$ ビットからなるパターンを発生する。なお、 $k = \infty$ では、上述の「1」の数が0個のパターンを用いることができ、そのときは、パターン発生回路12は、 $d + 1$ ビットからなるパターンを発生するようにしてもよい。

*挿入して符号列Bを生成する。また、パターン発生回路12は、所定の周期で同期信号等も発生し、パターン挿入回路13は、この同期信号等も符号列Aに挿入する。変調回路14は、パターン挿入回路13から供給される符号列BをNRZI変調して変調符号を生成し、この変調符号を出力する。

【0028】ここで、パターン発生回路12について説明する。

【0029】変調回路14から出力される変調符号は、10挿入されたパターンの「1」の数が奇数（以下、「1」の数が奇数のパターンを反転パターンという。）のときは、挿入されたパターン以降は論理が反転し（「0」が「1」、「1」が「0」となり）、「1」の数が偶数（以下、「1」の数が偶数のパターンを非反転パターンという。）のときは論理は反転しなことから、この変調装置では、パターン発生回路12で非反転パターン又は反転パターンを発生して、符号列Aに挿入することにより、変調符号のDSVを制御する。

【0030】ところで、冗長度の増加を最小限に抑える20ことができるパターンは、「1」の数が0個又は1個のパターンである。したがって、パターン発生回路12は、「1」の数が0個又は1個のパターンを発生する。なお、「1」の数が0個のパターンは、符号則によっては「0」の連続が最大ラン k 以上となってしまうときがあり、その符号に対しては「1」の数が0個のパターンの代わりに「1」の数が2個のパターンを発生する。すなわちパターン発生回路12は、「1」の数が0個、1個又は2個の3種類のパターンを発生する。

【0031】また、パターン挿入回路13において符号列Aの任意の場所にパターンを挿入したとき、パターンが挿入された符号列Bが (d, k) 符号則を満足する必要があるので、上述の「1」の数が2個のパターンでは、そのパターンの最小の長さ、すなわち上述の所定の長さ T_{dc} ビットは下記式1により求められ、「1」の数が1個のパターンでは、所定の長さ T_{dc} ビットは下記式2により求められる。

【0032】

【0033】具体的には、パターン発生回路12は、例えば上述した(4, 19; 2, 5:5)符号の場合、 $10 (= 2 \times (4 + 1))$ ビットからなるパターンであって、例えば図3に示すように、反転パターンとして「0000000100」のパターン、「000000000010」のパターン又は「00000000001」のパターンを発生し、非反転パターンとして「00100000100」のパターン、「00100000010」のパターン又は「00100000001」のパターンを発生す

る。また、パターン発生回路12は、この反転パターン又は非反転パターンを発生する際に、今回挿入するパターン以前の符号列AのDSVが正であって、今回挿入するパターンと次に挿入するパターン間の符号列AのDSVの正のピーク値が負のピーク値よりも大きいときは反転パターンを発生し、正のピーク値が負のピーク値よりも小さいときは非反転パターンを発生する。また、パターン発生回路12は、今回挿入するパターン以前の符号列AのDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列AのDSVの負のピーク値が正のピーク値よりも大きいときは反転パターンを発生し、負のピーク値が正のピーク値よりも小さいときは非反転パターンを発生する。

【0034】すなわち、パターン発生回路12は、例えば図4に示すように、今回挿入するパターンと次に挿入するパターン間の符号列AのDSVを算出するDSV算出回路21と、今回挿入するパターンと次に挿入するパターン間の符号列AのDSVの正のピーク値 P_u と負のピーク値 P_l を検出するピーク検出回路22と、挿入するパターンの直前の符号列Aのビットと直後の符号列Aのビットを判断する直前・直後ビット処理回路23と、上記ピーク検出回路22からのピーク値 P_u 、 P_l 等に基づいて、挿入するパターンを決定するパターン決定回路24と、今回挿入するパターン以前の符号列AのDSV等を記憶するメモリ25とを備える。

【0035】そして、DSV算出回路21は、今回挿入するパターンと次に挿入するパターン間の符号列AのDSV（以下、区間のDSVという。）を算出し、このDSVをパターン決定回路24に供給する。具体的には、DSV算出回路21は、例えば図5Aに示すように、今回パターンを挿入する位置Pと、次にパターンを挿入する位置Qと間の、すなわち区間PQにおける符号列AのDSVを-2として検出する。また、例えば図5Bに示すように、DSV算出回路21は、区間PQにおける符号列AのDSVとして+2を検出する。また、例えば図5Cに示すように、DSV算出回路21は、区間PQにおける符号列AのDSVとして+2を検出する。

【0036】ピーク検出回路22は、区間PQにおける符号列AのDSVの正のピーク値 P_u と負のピーク値 P_l を検出し、これらのピーク値 P_u 、 P_l をパターン決定回路24に供給する。具体的には、ピーク検出回路22は、例えば上述の図5Aに示すように、区間PQにおける正のピーク値 P_u 、負のピーク値 P_l として2、5を検出する。また、例えば図5Bに示すように、ピーク検出回路22は、区間PQにおける正のピーク値 P_u 、負のピーク値 P_l として4、2を検出する。また、例えば図5Cに示すように、ピーク検出回路22は、区間PQにおいて、正のピーク値 P_u 、負のピーク値 P_l として2、6を検出する。

【0037】直前・直後ビット処理回路23は、挿入す

るパターンの直前の符号列Aのビット（以下、直前ビットという。）と直後の符号列Aのビット（以下、直後ビットという。）を判断し、この判断結果をパターン決定回路24に供給する。具体的には、直前・直後ビット処理回路23は、挿入するパターンの直前のd+1ビット、例えば上述の図3に示すように挿入するパターンの直前の5ビット、直後の5ビットからなる直前ビット、直後ビットを判断し、「1」の有無やその位置を示す直前・直後ビット情報をパターン決定回路24に供給する。

【0038】パターン決定回路24は、例えば図6に示すように、上記ピーク検出回路22からのピーク値 P_u 、 P_l 等に基づいて、挿入可能なパターンを選出するパターン選出回路24aと、上記メモリ25から読み出された今回挿入するパターン以前の符号列AのDSV等に基づいて、ピーク検出回路22で選出されたパターンの1つを上記パターン挿入回路13に出力するパターン出力回路24bとから構成される。

【0039】そして、パターン選出回路24aは、メモリ25から供給される今回挿入するパターン以前の符号列AのDSV（以下、累積DSVという。）が正であって、ピーク検出回路22から供給される符号列Aの区間のDSVの正のピーク値が負のピーク値よりも大きいときは反転パターンを選択し、正のピーク値が負のピーク値よりも小さいときは非反転パターンを選択する。一方、パターン選出回路24aは、メモリ25から供給される符号列Aの累積DSVが負であって、ピーク検出回路22から供給される符号列Aの区間のDSVの負のピーク値が正のピーク値よりも大きいときは反転パターンを選択し、負のピーク値が正のピーク値よりも小さいときは非反転パターンを選択する。

【0040】具体的には、パターン選出回路24aは、例えば上述の図5Aに示すように、位置Pにおける符号列Aの累積DSVが正(+2)であって、区間PQにおける正のピーク値 P_u (2)が負のピーク値 P_l (5)よりも小さいときは、上述の図3に示す3つの非反転パターンを選択する。また、例えば図5Bに示すように、位置Pにおける累積DSVが正(+2)であって、区間PQにおける正のピーク値 P_u (4)が負のピーク値 P_l (2)よりも大きいときは、パターン選出回路24aは、上述の図3に示す3つの反転パターンを選択する。また、例えば図5Cに示すように、位置Pにおける累積DSVが正(+2)であって、区間PQにおける正のピーク値 P_u (2)が負のピーク値 P_l (6)よりも小さいときは、パターン選出回路24aは、上述の図3に示す

40

30

20

10

3つの非反転パターンを選択する。

【0041】なお、正のピーク値 P_+ と負のピーク値 P_- が等しいときは、パターン選出回路24aが無条件で何れか一方のパターンを選択するようとする。

【0042】パターン出力回路24bは、メモリ25から供給される符号列Aの累積DSVと、DSV算出回路21から供給される符号列Aの区間のDSVとを加算し、この加算値の絶対値、すなわち次に挿入するパターンの位置における符号列Aの累積DSVの絶対値に基づいて、パターン選出回路24aで選択された反転パターン又は非反転パターンのうちから、例えば次に挿入するパターンの位置における符号列Aの累積DSVの絶対値が最も小さくなるパターンを選択して、パターン挿入回路13に出力する。具体的には、パターン出力回路24bは、例えば上述の図3に示す3つの反転パターン又は3つの非反転パターンのうちから、上述の図5に示す位置Qにおける符号列Aの累積DSVの絶対値が最も小さいパターンを選択して出力する。また、パターン出力回路24bは、上述のようにして求めた加算値を、位置Qにおける符号列Aの累積DSVとしてメモリ25に供給し、メモリ25は、この累積DSVを記憶する。なお、パターン出力回路24bが位置Pに挿入したパターン自身のDSVも考慮して、すなわちパターンのDSVも加算して、位置Qにおける累積DSVを求めるようにしても良い。

【0043】そして、パターン挿入回路13は、上述したように、符号化回路11から供給される符号列Aに、パターン出力回路24bから供給されるパターンを所定の周期で挿入し、パターンが挿入された符号列Bを変調回路14に供給する。変調回路14は、符号列BをNRZI変調して出力する。この結果、変調回路14からはDSVの絶対値を小さくするDSV制御された、すなわち直流成分や低域成分が抑圧（あるいはカット）された変調符号が outputされる。

【0044】以上の説明で明らかかなように、この実施の変調装置では、(d, k)符号列に2(d+1)ビットの長さを有するパターンを所定間隔 $T_{...}$ ビットで挿入した後、NRZI変調して、DSV制御された変調符号を出力することにより、挿入したパターンの「1」の数に基づいて変調符号のDSVを制御することができると共に、パターンが挿入された符号列Bが符号則を満足した状態で、パターンの長さを最小とすることができ、冗長度の増加を少なくすることができます。また、挿入するパターンを「1」の数が0, 1, 2の3種類のパターンとすることにより、冗長度の増加を必要最小限に抑えることができる。また、今回挿入するパターン以前の符号列のDSVと、今回挿入するパターンと次に挿入するパターン間の符号列のDSVとを加算し、この加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入することにより、短いパターンでDSVを

大きく変化させることができる。

【0045】また、この実施例の変調装置では、符号列に所定の長さのパターンを所定間隔で挿入する際に、今回挿入するパターン以前の符号列のDSVが正であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは反転パターンを挿入し、正のピーク値が負のピーク値よりも小さいときは非反転パターンを挿入し、今回挿入するパターン以前の符号列のDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは反転パターンを挿入し、負のピーク値が正のピーク値よりも小さいときは非反転パターンを挿入することにより、従来の装置に比して累積DSVのピーク値が小さくなるように、DSVの制御を行うことができる。具体的には、従来の装置では、例えば従来の技術で説明した図8Cに示すように、位置Pに反転パターンが挿入されることによって、位置Pから位置Qの間で累積DSVのピーク値が8となるのに対して、この変調装置では、例えば上述の図5Cに示すように、位置Pに非反転パターンを挿入することによって、位置Pから位置Qの間で累積DSVのピーク値を+4, -4と小さくすることができる。換言すると、この変調装置では、従来の装置に比して、DSVのピーク値を小さく抑えることができる。

【0046】つぎに、本発明を適用した復調装置の一実施例について説明する。

【0047】この復調装置は、例えば図7に示すように、変調信号をNRZI復調して、パターンが挿入された上記符号列Bを再生する復調回路31と、該復調回路31からの符号列Bからパターンを除去して、上記符号列Aを再生するパターン除去回路32と、該パターン除去回路32からの符号列Aを復号化して、元のデータ列を再生する復号化回路33と、同期信号を検出するSYNC検出回路34と、該SYNC検出回路34で検出された同期信号に基づいて、上記パターン除去回路32等を制御するタイミング管理回路35とを備える。

【0048】そして、復調回路31には、受信信号あるいは再生信号に所謂波形等化処理、2値化処理等を施して得られる変調符号が供給され、この復調回路31は、変調信号をNRZI復調して、上述した変調装置のパターン挿入回路13の出力に対応するパターンが挿入された符号列Bを再生し、この符号列Bをパターン除去回路32及びSYNC検出回路34に供給する。すなわち、上述したように変調装置において変調符号に直流成分や低域成分が含まれないようにDSV制御しているので、従来の技術で述べた直流成分に起因したエラー等がない変調符号がこの復調回路31に供給され、エラーがない符号列Bを再生することができる。

【0049】SYNC検出回路34は、同期信号を検出

し、タイミング管理回路35は、この検出された同期信号に基づいて、例えば再生クロックをカウントしてパターンが挿入されている位置を検出し、検出結果に基づいてパターン除去回路32を制御する。

【0050】パターン除去回路32は、タイミング管理回路35の制御のもとに、 T_{dc} ビットからなるパターンが所定間隔 T_{odd} ビットで挿入された符号列Bからパターンを除去して、符号列Aを再生する。ところで、上述したように変調装置においてパターンは所定間隔 T_{odd} ビットで挿入されているので、簡単に除去することができる。

【0051】復号化回路33は、パターン除去回路32から供給される符号列Aを、送信（あるいは記録）の際の符号則に対応して復号化して元のデータを再生し、このデータを出力する。

【0052】なお、本発明は上述の実施例に限定されるものではなく、例えば、上述の実施例では符号を（4, 19; 2, 5; 5）符号として説明したが、例えば（4, 18; 2, 5; 6）符号、（4, 22; 2, 5; 5）符号、RLL（2, 7）変調等のDSV制御が考慮されていない符号に対して、本発明を適用できることは言うまでもない。

【0053】

【発明の効果】以上の説明で明らかなように、本発明では、符号列に所定の長さのパターンを所定間隔で挿入し、パターンが挿入された符号列をNRZI変調して、DSV制御された変調符号を出力する際に、今回挿入するパターン以前の符号列のDSVが正であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの正のピーク値が負のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、正のピーク値が負のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入し、今回挿入するパターン以前の符号列のDSVが負であって、今回挿入するパターンと次に挿入するパターン間の符号列のDSVの負のピーク値が正のピーク値よりも大きいときは「1」の数が奇数のパターンを挿入し、負のピーク値が正のピーク値よりも小さいときは「1」の数が偶数のパターンを挿入することにより、挿入したパターンの「1」の数に基づいて変調符号のDSVを制御することができると共に、従来の装置に比して累積DSVのピーク値が小さくなるように、DS

SV制御を行うことができる。

【0054】また、挿入するパターンを「1」の数が0、1、2の3種類のパターンとすることにより、冗長度の増加を必要最小限に抑えることができる。また、今回挿入するパターン以前の符号列のDSVと、今回挿入するパターンと次に挿入するパターン間の符号列のDSVとを加算し、この加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入することにより、短いパターンでDSVを大きく変化させることができる。

【図面の簡単な説明】

【図1】本発明を適用した変調装置の要部の回路構成を示すブロック図である。

【図2】上記変調装置の動作原理を説明するためのタイムチャートである。

【図3】挿入するパターンの具体例を示す図である。

【図4】上記変調装置を構成するパターン発生回路の具体的な構成を示すブロック図である。

【図5】DSVの具体的な値を示す図である。

【図6】上記変調装置を構成するパターン決定回路の具体的な構成を示すブロック図である。

【図7】本発明を適用した復調装置の要部の回路構成を示すブロック図である。

【図8】従来のDSV制御方法におけるDSVの値を示す図である。

【符号の説明】

1 1 符号化回路

1 2 パターン発生回路

1 3 パターン挿入回路

30 1 4 変調回路

2 1 DSV算出回路

2 2 ピーク検出回路

2 3 直前・直後ビット処理回路

2 4 パターン決定回路

2 4 a パターン選出回路

2 4 b パターン出力回路

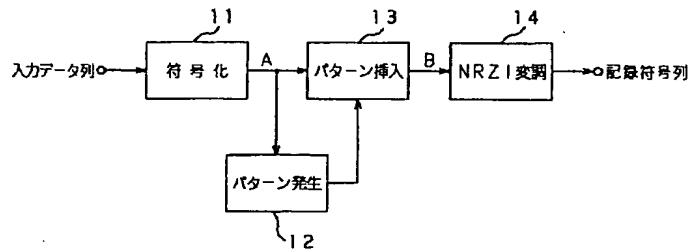
3 1 復調回路

3 2 パターン除去回路

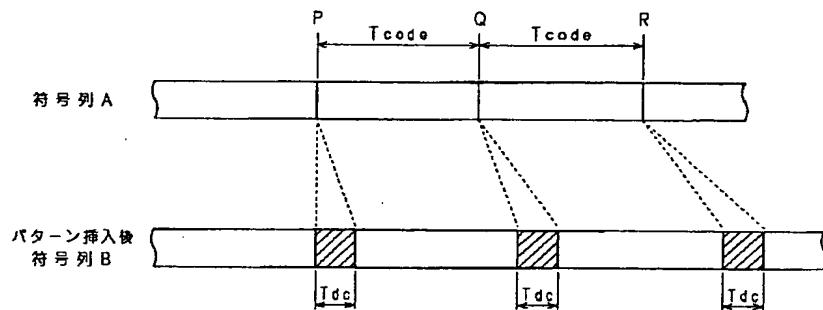
3 3 復号化回路

40 3 5 タイミング管理回路

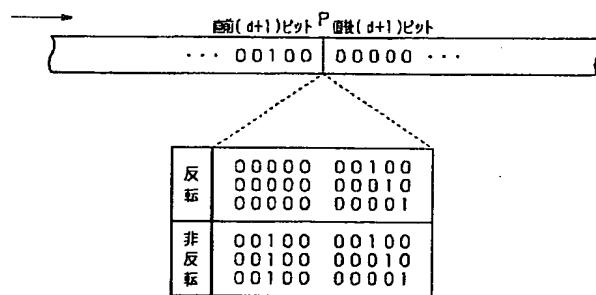
【図1】



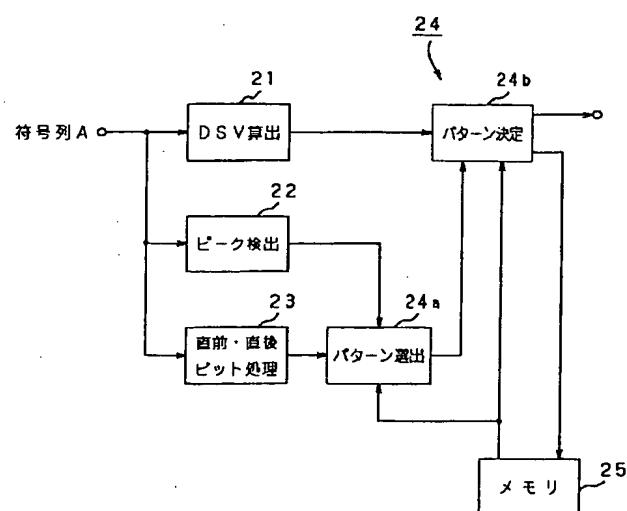
【図2】



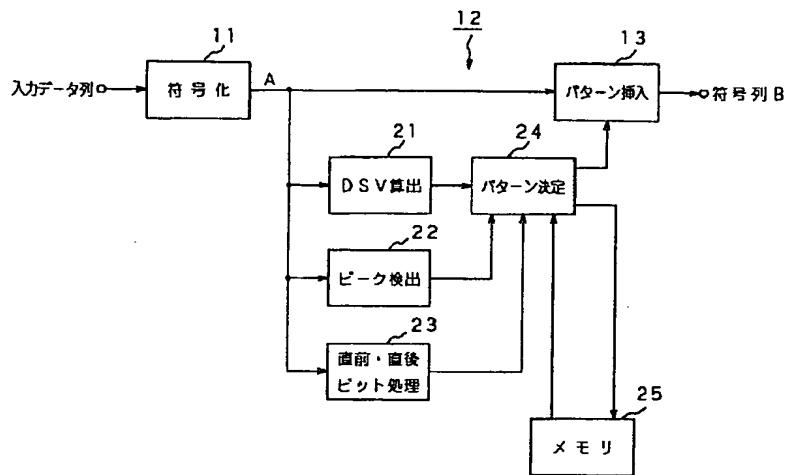
【図3】



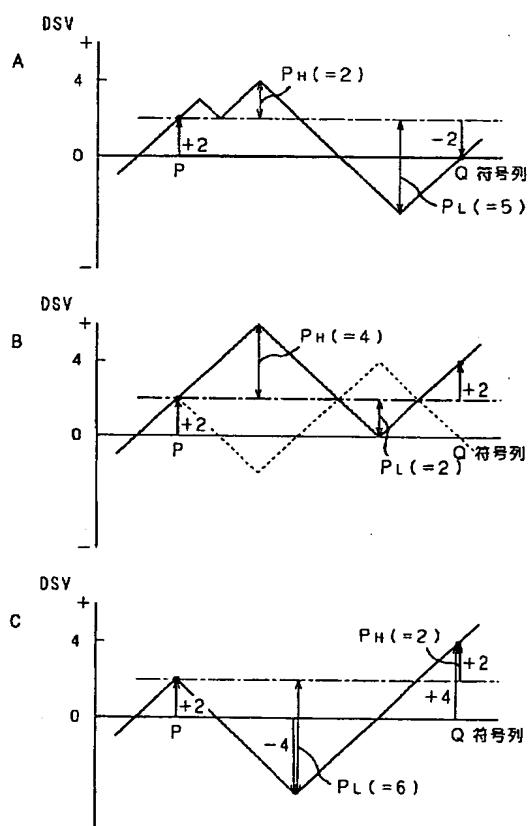
【図6】



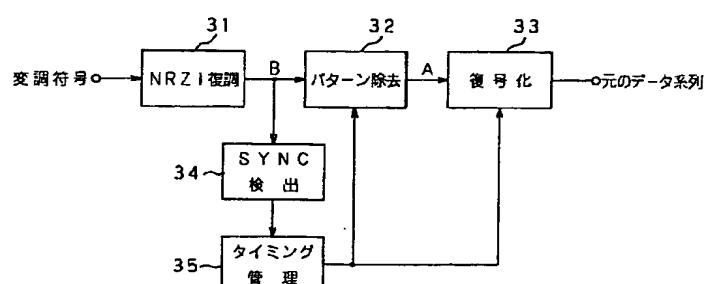
【図4】



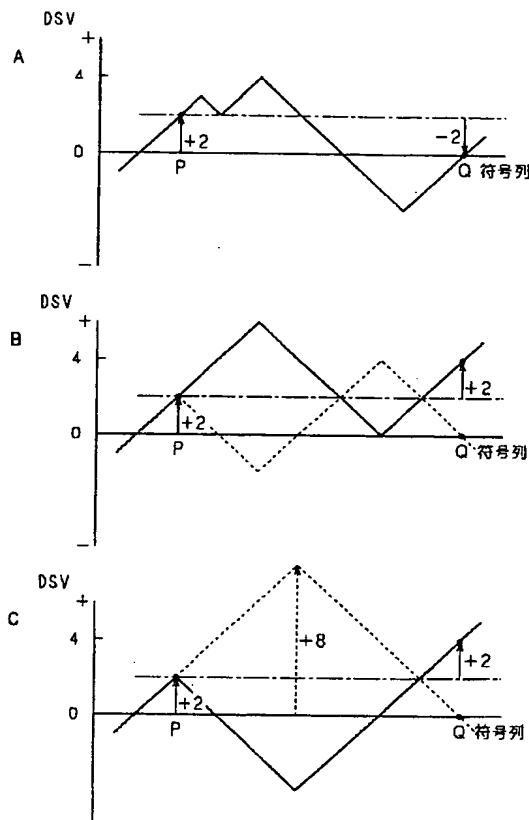
【図5】



【図7】



【図8】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成13年12月21日(2001.12.21)

【公開番号】特開平8-204569
 【公開日】平成8年8月9日(1996.8.9)
 【年通号数】公開特許公報8-2046
 【出願番号】特願平7-10230

【国際特許分類第7版】

H03M 5/06
 G11B 20/14 341
 H04L 25/49

【F I】

H03M 5/06
 G11B 20/14 341 A
 H04L 25/49 A

【手続補正書】

【提出日】平成13年3月15日(2001.3.15)

* ると共に、冗長度の増加を必要最小限に抑えることができる変調方法、変調装置及び復調装置を提供することを目的とする。

【手続補正1】

【補正対象書類名】明細書

【手続補正2】

【補正対象項目名】0010

【補正対象書類名】明細書

【補正方法】変更

【補正対象項目名】0025

【補正内容】

【補正方法】変更

【0010】

【補正内容】

【発明が解決しようとする課題】本発明は、上述の問題点に鑑みてなされたものであり、DSV制御が考慮されていない符号に対してDSV制御を行う際に、従来の装置に比して、DSVのピーク値を小さくすることができ*

【0025】

【表2】

表1(2/2)

データ語	符号語
i=5 0000001111	01000 00000 00000 00010 00000
0000001110	01000 00000 00000 00001 00000
0000001101	00100 00000 00000 00010 00000
0000001100	00100 00000 00000 00001 00000
0000001011	00010 00010 00010 00010 00000
0000001010	00010 00010 00010 00001 00000
0000001001	00010 00010 00001 00001 00000
0000001000	00010 00001 00001 00001 00000
0000000111	00001 00001 00001 00001 00000
0000000110	00000 00010 00010 00010 00000
0000000101	00000 00010 00010 00001 00000
0000000100	00000 00010 00001 00001 00000
0000000011	00000 00001 00001 00001 00000
0000000010	00000 00000 00100 00010 00000
0000000001	00000 00000 00100 00001 00000
i=6 000000000011	00010 00010 00010 00010 00000
000000000010	00010 00010 00010 00001 00000
000000000001	00010 00010 00010 00001 00000
000000000000	00010 00010 00001 00001 00000

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

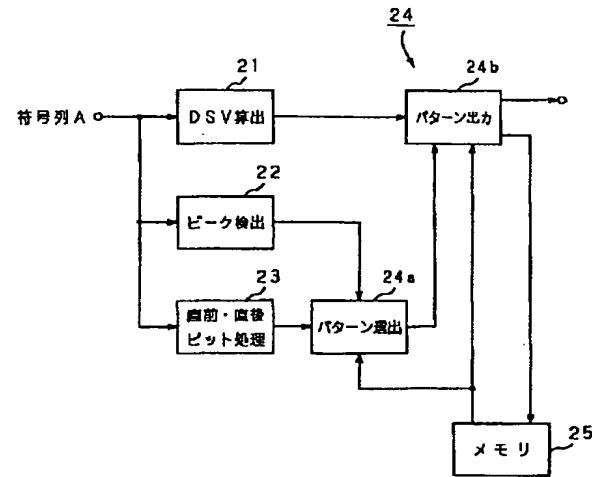
【補正内容】
【0026】

* 【表3】
*
表2

データ語	符号語
i=1 11	10000
10	01000
01	00*00
i=2 0011	00010 00000
0010	00001 00000
1011	00000 00*00
i=3 000111	00010 00010 00000
000110	00010 00001 00000
000101	00001 00001 00000
000100	00000 00010 00000
000011	00000 00001 00000
i=4 00001011	00010 00010 00010 00000
00001010	00010 00010 00001 00000
00001001	00010 00001 00001 00000
00001000	00001 00001 00001 00000
00000111	00000 00010 00010 00000
00000110	00000 00010 00001 00000
00000101	00000 00001 00001 00000
00000100	00000 00000 00100 00*00
00000011	00000 00000 00010 000*0
i=5 0000001101	00010 00010 00010 00010 00000
0000001010	00010 00010 00010 00001 00000
0000001001	00010 00010 00001 00001 00000
0000001000	00010 00001 00001 00001 00000
0000000111	00001 00001 00001 00001 00000
0000000110	00000 00010 00010 00010 00000
0000000101	00000 00010 00001 00001 00000
0000000100	00000 00010 00001 00001 00000
0000000011	00000 00001 00001 00001 00000
0000000010	00000 00000 00100 00010 00000
0000000001	00000 00000 00100 00001 00000
0000000000	00000 00000 00010 00001 00000

【手続補正4】
【補正対象書類名】図面
【補正対象項目名】図6

【補正方法】変更
【補正内容】
【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.